

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-064672
 (43)Date of publication of application : 07.03.1997

(51)Int. Cl. H03G 3/30
 H03G 3/20

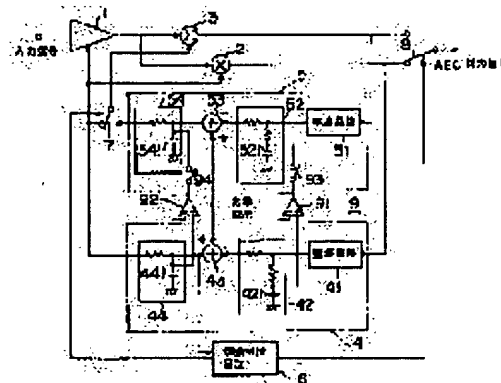
(21)Application number : 07-237845 (71)Applicant : KENWOOD CORP
 (22)Date of filing : 24.08.1995 (72)Inventor : KISHI TAKAHIKO

(54) AUTOMATIC GAIN CONTROL DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the distortion of an output signal by switching a control voltage generating circuit when the output signal level of a prescribed multiplier is changed and sending an output from a control voltage generating circuit having a smaller time constant to the multiplier.

SOLUTION: An input signal is amplified by a variable gain amplifier 1, an output from the amplifier 1 is amplified by respective multipliers 2, 3. The gain of the amplifier 1 and that of the multiplier 2 are controlled, based on an output from a control voltage generating circuit 4 receiving an output signal from the multiplier 2 and controls the output level of the multiplier 2 to a prescribed level. The time constant of a control voltage generating circuit 5 for controlling the output signal level of the multiplier 3 at the reception of an output signal from the multiplier 3 is set smaller than that of the circuit 4. When the output signal level of the multiplier 2 is changed, the output of the circuit 4 is switched to the output of the circuit 5 by switch circuits 7, 8, and the output of the circuit 5 is sent to the multiplier 3 and the output of the multiplier 3 is sent instead of the output of the multiplier 2.



LEGAL STATUS

[Date of request for examination] 10.05.1999
[Date of sending the examiner's
decision of rejection]
[Kind of final disposal of
application other than the
examiner's decision of rejection or
application converted registration]
[Date of final disposal for
application]
[Patent number] 3240458
[Date of registration] 19.10.2001
[Number of appeal against
examiner's decision of rejection]
[Date of requesting appeal against
examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3240458号
(P3240458)

(45) 発行日 平成13年12月17日 (2001. 12. 17)

(24) 登録日 平成13年10月19日 (2001. 10. 19)

(51) Int.Cl.⁷

H 0 3 G 3/20

識別記号

F I

H 0 3 G 3/20

A

請求項の数 8 (全 16 頁)

(21) 出願番号 特願平7-237845

(22) 出願日 平成7年8月24日 (1995. 8. 24)

(65) 公開番号 特開平9-64672

(43) 公開日 平成9年3月7日 (1997. 3. 7)

審査請求日 平成11年5月10日 (1999. 5. 10)

(73) 特許権者 000003595

株式会社ケンウッド

東京都渋谷区道玄坂1丁目14番6号

(72) 発明者 岸 孝彦

東京都渋谷区道玄坂1丁目14番6号 株

式会社ケンウッド内

(74) 代理人 100078271

弁理士 砂子 信夫

審査官 緒方 寿彦

(56) 参考文献 特開 昭48-6650 (J P, A)

特開 平6-303062 (J P, A)

特開 昭58-20018 (J P, A)

実開 昭59-154917 (J P, U)

(58) 調査した分野 (Int.Cl.⁷, D B 名)

H03G 1/00 - 3/34

(54) 【発明の名称】 自動利得制御装置

1

(57) 【特許請求の範囲】

【請求項1】 入力信号を増幅する第1の可変利得増幅手段と、

第1の可変利得増幅手段からの出力信号を増幅する第2および第3の可変利得増幅手段と、

第2の可変利得増幅手段からの出力信号を整流する整流手段と、整流手段の出力を積分する第1の積分手段と、

第1の積分手段の出力を基準値から減算する演算手段と、演算手段の出力を積分して積分出力を出力制御信号とする第2の積分手段とを備えて、出力制御信号に基づ

いて第2の可変利得増幅手段からの出力信号レベルを所定レベルにするべく第1および第2の可変利得増幅手段の利得を制御する第1の制御信号生成手段と、

第1の制御信号生成手段の時定数より小さい時定数に設定されかつ第3の可変利得増幅手段からの出力信号を入

2

力信号とし第3の可変利得増幅手段からの出力信号レベルを所定レベルに制御するための出力制御信号を送出する第2の制御信号生成手段と、

第1の制御信号生成手段からの出力制御信号と第2の制御信号生成手段からの出力制御信号との一方を選択し利得制御のための信号として第3の可変利得増幅手段に送出する第1の選択手段と、

第2および第3の可変利得増幅手段のそれぞれの出力信号の一方を選択して送出する第2の選択手段と、

10 前記演算手段の出力レベルが予め定められた閾値以上か否かを判別して判別出力に基づいて第1および第2の選択手段を連動して制御する選択制御手段とを備えたことを特徴とする自動利得制御装置。

【請求項2】 請求項1記載の自動利得制御装置において、第1の選択手段によって第1の制御信号生成手段か

らの制御信号に変わって第2の制御信号生成手段からの制御信号を選択するとき、第2の制御信号生成手段からの制御信号を直前における第1の制御信号生成手段からの制御信号に一致させるコピー制御手段を備えたことを特徴とする自動利得制御装置。

【請求項3】請求項1記載の自動利得制御装置において、第1の可変利得増幅手段からの出力信号を入力信号とし該入力信号に所定の処理をして第2および第3の可変利得増幅手段の入力信号とする信号処理手段を備えたことを特徴とする自動利得制御装置。

【請求項4】請求項1記載の自動利得制御装置において、第1および第2の可変利得増幅手段は第1の制御信号生成手段からの制御信号に基づく値を乗数とする第1および第2の乗算器であり、第3の可変利得増幅手段は第1の選択手段を介して送出される制御信号に基づく値を乗数とする第3の乗算器であることを特徴とする自動利得制御装置。

【請求項5】請求項1記載の自動利得制御装置において、第2の制御信号生成手段は、第3の可変利得増幅手段からの出力信号を整流する整流手段と、整流手段の出力を積分する第1の積分手段と、第1の積分手段の出力を基準値から減算する演算手段と、演算手段の出力を積分して積分出力を出力制御信号とする第2の積分手段とを備えたことを特徴とする自動利得制御装置。

【請求項6】請求項5記載の自動利得制御装置において、第1の選択手段によって第1の制御信号生成手段からの制御信号に変わって第2の制御信号生成手段からの制御信号を選択するとき、第1の制御信号生成手段における第1の積分手段の出力を第2の制御信号生成手段における第1の積分手段にコピーさせるコピー手段を備えたことを特徴とする自動利得制御装置。

【請求項7】請求項6記載の自動利得制御装置において、前記コピー手段は、第2の制御信号生成手段からの制御信号を第1の制御信号生成手段に一致させるべく、第1の制御信号生成手段からの制御信号のレベルと第2の制御信号生成手段からの制御信号のレベルとが所定の関係になったときに第2の制御信号生成手段からの制御信号を第1の制御信号生成手段からの制御信号に一致させることを特徴とする自動利得制御装置。

【請求項8】入力信号を増幅する第1の可変利得増幅手段と、第1の可変利得増幅手段からの出力信号を増幅する第2および第3の可変利得増幅手段と、第2の可変利得増幅手段からの出力信号レベルを所定レベルにするべく第2の可変利得増幅手段からの出力信号を入力信号とし出力制御信号に基づいて第1および第2の可変利得増幅手段の利得を制御する第1の制御信号生成手段と、第1の制御信号生成手段の時定数より小さい時定数に設定されかつ第3の可変利得増幅手段からの出力信号を入力信号とし第3の可変利得増幅手段からの出力信号レベルを所定レベルに制御するための出力制御信号を送出する

第2の制御信号生成手段と、第1の制御信号生成手段からの出力制御信号と第2の制御信号生成手段からの出力制御信号との一方を選択し利得制御のための信号として第3の可変利得増幅手段に送出する第1の選択手段と、第2および第3の可変利得増幅手段のそれぞれの出力信号の一方を選択して送出する第2の選択手段と、第2の制御信号生成手段からの制御信号を第1の制御信号生成手段からの制御信号に一致させるコピー手段とを備え、第1の制御信号生成手段からの制御信号のレベルと第2の制御信号生成手段からの制御信号のレベルとが所定の関係になったときに第2の制御信号生成手段からの制御信号を第1の制御信号生成手段からの制御信号に一致させ、第3の可変利得増幅手段からの出力信号を第1の選択手段と連動する第2の選択手段によって選択して自動利得制御信号出力として送出することを特徴とする自動利得制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は自動利得制御装置に関する。

【0002】

【従来の技術】従来の例えば第1の自動利得制御装置は図10に示すように、可変利得増幅器1によって入力信号を増幅し、可変利得増幅器1の出力信号を乗算器2によって増幅し、乗算器2の出力を自動利得制御装置の出力とすると共に、制御電圧生成回路100に供給して自動利得制御装置の出力レベルを所望の範囲に制御するための制御電圧を生成し、制御電圧を可変利得増幅器1に供給して利得を制御し、制御電圧に基づく値を乗数として乗算器2に供給して可変利得増幅器の出力信号を乗数倍して実質的に増幅して、利得制御された出力信号（AGC出力信号と記す）としている。

【0003】従来の例えば第2の自動利得制御装置として図11に示すように、乗算器21によって入力信号を増幅し、乗算器2の出力信号をフィルタ22に供給してフィルタ処理を行い、フィルタ22を介した乗算器21の出力信号を乗算器2によって増幅し、乗算器2の出力をAGC出力信号とすると共に、制御電圧生成回路100に供給してAGC出力信号のレベルを所望の範囲に制御するための制御電圧を生成し、制御電圧に基づく値を乗数として乗算器21に供給して入力信号を乗数倍して入力信号を実質的に増幅し、制御電圧に基づく値を乗数として乗算器2に供給してフィルタ22を介した乗算器21の出力信号を乗数倍して実質的に増幅して、AGC出力信号としている。

【0004】上記した従来の第1の自動利得制御装置では可変利得増幅器1と乗算器2によって入力信号が増幅されるため、また第2の自動利得制御装置では乗算器21と乗算器2とによって入力信号が増幅されるため、可変増幅器1または乗算器21による1段の増幅の場合に

5

比較して総合利得は大きくとれ、入力信号レベルが小さいときにも利得が不足するようなことはなく、入力信号レベルの変動が大きいたくにも好都合である。

【0005】

【発明が解決しようとする課題】従来の第1の自動利得制御装置によるときは、制御電圧に対する可変利得増幅器1の利得特性は直線特性ではなく、制御電圧に対する乗算器2の出力特性、すなわち利得特性は通常直線特性であり、可変利得増幅器1と乗算器2とによる制御電圧に対する利得の総合特性は直線状にはならない。これに

10 対して制御電圧生成回路100の入出力特性は直線状に設計されることが普通である。

【0006】従来の第1の自動利得制御装置に図12

(a)に示すバースト信号が入力されたとき、制御電圧生成回路100の時定数が大きいときは図12(b)に示すようにバースト信号が入力された初めの所定期間にわたってAGC出力信号レベルは希望範囲内に入らず、制御電圧生成回路100の時定数が小さいときは図12(d)に示すようにバースト信号が入力されている期間中の一部に振動したりしてAGC出力信号レベルは希望範囲内に入らず、制御電圧生成回路100の時定数が適切な範囲においてのみ図12(c)に示すように希望範囲内に入るようになる。しかしながら、前記のように制御電圧に対する利得の総合特性は非直線状であるために時定数の適切な範囲は狭く、従来の第1の自動利得制御装置の入力信号に対しAGC出力信号は歪んだ波形となるという問題点があった。

【0007】また、入力信号が存在しないときに最大にまで制御されている可変利得増幅器1の利得を下げるのに時間がかかり、この場合に仮に、時定数が適切であっても時定数が大きいときの図12(b)の場合と同様なAGC出力信号波形となって、AGC出力信号波形が歪むという問題点がある。

【0008】また、従来の第2の自動利得制御装置のように乗算器21と乗算器2とによって入力信号を増幅する場合は、制御電圧対利得の総合特性は直線状である。しかし、乗算器21と乗算器2との間にフィルタ22が存在するため、フィルタ22により信号伝搬が遅延せられる。このため第2の自動利得制御装置に入力される入力信号と制御電圧生成回路100によって生成される制御電圧との間に時間差が生じる。この時間差が大きく入力信号の1周期にわたるような場合にも、制御電圧生成回路100の時定数を小さいままにしておくと、図13(a)に示すバースト信号が入力されたとき、図13(b)に示すように乗算器21の出力信号波形は希望範囲内に入らず振動したりする。この振動は乗算器21へ乗数としての制御電圧に基づく値が遅れて供給されるためであって、これは時定数が小さすぎる場合に似た歪みとなる。

【0009】また、乗算器2には乗算器21の出力信号

6

がフィルタ22による遅延時間 t_0 遅れて入力される。したがって、乗算器2は図13(b)の乗算器21の出力信号を遅れて入力して増幅し、乗算器2の出力信号すなわちAGC出力信号波形は図13(c)に示すように歪んだ波形となる。この歪みはバースト信号が入力された直後から制御電圧生成回路100がAGC出力信号を検出するまでは1周期分の遅延時間があるため、この間、乗算器21の利得は変化させられず、1周期分の遅延の後に乗算器2に乗算器21の出力信号が入力され、制御電圧生成回路100がAGC出力信号のレベルを検出することになって、AGC出力信号レベルが希望範囲に近づかない。

【0010】このフィルタ22による遅延時間のために、AGC出力信号が過増幅状態になったり、逆に不足増幅状態になる。この結果、AGC出力信号は希望範囲を超えたり、希望範囲より小さいレベルになったりして、AGC出力信号レベルが希望範囲になるように収束しないという問題点があった。

【0011】本発明は、制御電圧対利得特性が非線形であっても、またループ内に信号伝搬を遅延させる要素があっても歪みが少ない出力信号を得ることができる自動利得制御装置を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明の請求項1にかかる自動利得制御装置は、入力信号を増幅する第1の可変利得増幅手段と、第1の可変利得増幅手段からの出力信号を増幅する第2および第3の可変利得増幅手段と、第2の可変利得増幅手段からの出力信号を整流する整流手段と、整流手段の出力を積分する第1の積分手段と、第1の積分手段の出力を基準値から減算する演算手段と、演算手段の出力を積分して積分出力を出力制御信号とする第2の積分手段とを備えて、出力制御信号に基づいて第2の可変利得増幅手段からの出力信号レベルを所定レベルにするべく第1および第2の可変利得増幅手段の利得を制御する第1の制御信号生成手段と、第1の制御信号生成手段の時定数より小さい時定数に設定されかつ第3の可変利得増幅手段からの出力信号を入力信号とし第3の可変利得増幅手段からの出力信号レベルを所定レベルに制御するための出力制御信号を送出する第2の制御信号生成手段と、第1の制御信号生成手段からの出力制御信号と第2の制御信号生成手段からの出力制御信号との一方を選択し利得制御のための信号として第3の可変利得増幅手段に送出する第1の選択手段と、第2および第3の可変利得増幅手段のそれぞれの出力信号の一方を選択して送出する第2の選択手段と、前記演算手段の出力レベルが予め定められた閾値以上か否かを判別して判別出力に基づいて第1および第2の選択手段を連動して制御する選択制御手段とを備えたことを特徴とする。

【0013】本発明の請求項1にかかる自動利得制御装置によれば、入力信号は第1の可変利得増幅手段によ

50

て増幅され、第 1 の可変利得増幅手段からの出力信号は第 2 および第 3 の可変利得増幅手段によって増幅される。第 2 の可変利得増幅手段からの出力信号は整流され、整流出力は第 1 の積分手段によって積分されて積分出力は基準値から減算され、減算出力は第 2 の積分手段によって積分されて出力制御信号とされ、出力制御信号に基づいて第 2 の可変利得増幅手段からの出力信号レベルを所定レベルにするべく第 1 および第 2 の可変利得増幅手段の利得が第 1 の制御信号生成手段によって制御される。一方、第 1 の選択手段によって選択された第 1 または第 2 の制御信号生成手段からの制御信号に基づいて第 3 の可変利得増幅手段の利得は制御される。第 2 の可変利得増幅手段の出力信号レベルが所定レベルのときには第 2 の選択手段によって第 2 の可変利得増幅手段からの出力信号が選択され、第 1 の選択手段によって第 1 の制御信号生成手段からの制御信号に基づいて第 3 の可変利得増幅手段の利得が制御される。

【0014】第 2 の可変利得増幅手段からの出力信号レベルが所定レベルから変化したときは、第 3 の可変利得増幅手段の利得は第 1 の選択手段を介して供給された第 2 の制御信号生成手段からの制御信号に基づいて制御されて、第 3 の可変利得増幅手段からの出力信号レベルは所定レベルに制御される。すなわち、第 1 の制御信号生成手段内の演算回路からの出力が閾値以上となり、以上となっている期間、選択制御手段の制御の下に第 1 の選択手段によって第 3 の可変利得増幅手段への制御信号が第 2 の制御信号生成手段からの制御信号へ切り替えられて、第 2 の制御信号生成手段によって生成された制御信号によって利得が制御された第 3 の可変利得増幅手段の出力が第 2 の選択手段によって選択されることになる。

【0015】この場合に、第 2 の制御信号生成手段の時定数は第 1 の制御信号生成手段の時定数よりも小さく設定されているため入力に対する追従は速く、第 3 の可変利得増幅手段からの出力は所定レベルの範囲内にはいることになる。仮にこの切り替えがなされないときは、第 1 の制御信号生成手段の時定数は大きく設定されているため、第 2 の可変利得増幅手段からの出力信号レベルが所定レベルから変化したとき第 1 の制御信号生成手段により生成される制御信号の追従は遅れ、第 2 の可変利得増幅手段からの出力信号は所定レベルを超えることになる。また、この状態において、第 2 の可変利得増幅手段の出力レベルが低下し、第 1 の制御信号生成手段内の演算回路からの出力が所定の閾値未満になると、未満になっている期間、選択制御手段の制御の下に第 1 の選択手段によって第 3 の可変利得増幅手段への制御信号が第 1 の制御信号生成手段からの制御信号へ切り替えられて、第 1 の制御信号生成手段によって生成された制御信号によって利得が制御された第 2 の可変利得増幅手段の出力が第 2 の選択手段によって選択されることになる。

【0016】本発明の請求項 2 にかかる自動利得制御装

置は、請求項 1 記載の自動利得制御装置において、第 1 の選択手段によって第 1 の制御信号生成手段からの制御信号に変わって第 2 の制御信号生成手段からの制御信号を選択するとき、第 2 の制御信号生成手段からの制御信号を直前における第 1 の制御信号生成手段からの制御信号に一致させるコピー制御手段を備えたことを特徴とする。

【0017】本発明の請求項 2 にかかる自動利得制御装置によれば、第 1 の選択手段によって第 1 の制御信号生成手段からの制御信号に変わって第 2 の制御信号生成手段からの制御信号を選択するとき、コピー制御手段によって第 2 の制御信号生成手段からの制御信号が切り換え直前における第 1 の制御信号生成手段からの制御信号に一致させられるため、第 1 の選択手段により選択される制御信号が第 1 の制御信号精製手段からの制御信号から、第 2 の制御信号生成手段からの制御信号に切り換えられても、自動利得制御装置からの出力信号レベルの切り換えによる変動は抑制され切り換え時に歪みが生じない。

【0018】本発明の請求項 3 にかかる自動利得制御装置は、請求項 1 記載の自動利得制御装置において、第 1 の可変利得増幅手段からの出力信号を入力信号とし該入力信号に所定の処理をして第 2 および第 3 の可変利得増幅手段の入力信号とする信号処理手段を備えてもよい。信号処理手段を備えたとき信号処理手段による処理のために信号伝搬に遅延時間が生じ、遅延時間により第 2 の可変利得増幅手段からの出力信号レベルに変動が生ずるが、このときには第 3 の可変利得増幅手段からの出力信号に切り換えられるために、遅延時間にかかわらず、自動利得制御装置からの出力信号レベルの変動は抑制される。

【0019】本発明の請求項 4 にかかる自動利得制御装置は、請求項 1 記載の自動利得制御装置において、第 1 および第 2 の可変利得増幅手段は第 1 の制御信号生成手段からの制御信号に基づく値を乗数とする第 1 および第 2 の乗算器であり、第 3 の可変利得増幅手段は第 1 の選択手段を介して送出される制御信号に基づく値を乗数とする第 3 の乗算器であることを特徴とする。第 1、第 2 および第 3 の可変利得増幅手段を第 1、第 2 および第 3 の乗算器としても常数と入力信号とが乗算され、乗算出力が送出されることになって、第 1、第 2 および第 3 の可変利得増幅手段と同様に作用する。

【0020】本発明の請求項 5 にかかる自動利得制御装置は、請求項 1 記載の自動利得制御装置において、第 2 の制御信号生成手段は、第 3 の可変利得増幅手段からの出力信号を整流する整流手段と、整流手段の出力を積分する第 1 の積分手段と、第 1 の積分手段の出力を基準値から減算する演算手段と、演算手段の出力を積分して積分出力を出力制御信号とする第 2 の積分手段とを備えたことを特徴とする。

【0021】本発明の請求項5にかかる自動利得制御装置によれば、第2の制御信号生成手段を、第3の可変利得増幅手段からの出力信号を整流する整流手段と、整流手段の出力を積分する第1の積分手段と、第1の積分手段の出力を基準値から減算する演算手段と、演算手段の出力を積分し積分出力を制御信号とする第2の積分手段とを備えた制御信号生成手段としたときは、第3の可変利得増幅手段からの出力信号レベルに基づき第3の可変利得増幅手段からの出力信号レベルを所定レベルに制御する制御信号が第2の制御信号生成手段から送出される。

【0022】

【0023】本発明の請求項6にかかる自動利得制御装置は、請求項5記載の自動利得制御装置において、第1の選択手段によって第1の制御信号生成手段からの制御信号に変わって第2の制御信号生成手段からの制御信号を選択するとき、第1の制御信号生成手段における第1の積分手段の出力を第2の制御信号生成手段における第1の積分手段にコピーさせるコピー手段を備えたことを特徴とし、切り換えによる自動利得制御装置の出力信号レベルの変動がコピー手段によるコピーによって抑制される。

【0024】本発明の請求項7にかかる自動利得制御装置は、請求項6記載の自動利得制御装置において、前記コピー手段は、第2の制御信号生成手段からの制御信号を第1の制御信号生成手段に一致させるべく、第1の制御信号生成手段からの制御信号のレベルと第2の制御信号生成手段からの制御信号のレベルとが所定の関係になったときに第2の制御信号生成手段からの制御信号を第1の制御信号生成手段からの制御信号に一致させることを特徴とする。

【0025】本発明の請求項8にかかる自動利得制御装置は、入力信号を増幅する第1の可変利得増幅手段と、第1の可変利得増幅手段からの出力信号を増幅する第2および第3の可変利得増幅手段と、第2の可変利得増幅手段からの出力信号レベルを所定レベルにするべく第2の可変利得増幅手段からの出力信号を入力信号とし出力制御信号に基づいて第1および第2の可変利得増幅手段の利得を制御する第1の制御信号生成手段と、第1の制御信号生成手段の時定数より小さい時定数に設定されかつ第3の可変利得増幅手段からの出力信号を入力信号とし第3の可変利得増幅手段からの出力信号レベルを所定レベルに制御するための出力制御信号を送出する第2の制御信号生成手段と、第1の制御信号生成手段からの出力制御信号と第2の制御信号生成手段からの出力制御信号との一方を選択し利得制御のための信号として第3の可変利得増幅手段に送出する第1の選択手段と、第2および第3の可変利得増幅手段のそれぞれの出力信号の一方を選択して送出する第2の選択手段と、第2の制御信号生成手段からの制御信号を第1の制御信号生成手段か

らの制御信号に一致させるコピー手段とを備え、第1の制御信号生成手段からの制御信号のレベルと第2の制御信号生成手段からの制御信号のレベルとが所定の関係になったときに第2の制御信号生成手段からの制御信号を第1の制御信号生成手段からの制御信号に一致させ、第3の可変利得増幅手段からの出力信号を第1の選択手段と連動する第2の選択手段によって選択して自動利得制御信号出力として送出することを特徴とする。

【0026】

【発明の実施の形態】本発明にかかる自動利得制御回路の実施の第1形態について説明する。図1は本発明にかかる自動利得制御回路の実施の第1形態を示すブロック図である。

【0027】図1に示す本発明にかかる自動利得制御回路の実施の第1形態において、入力信号を可変利得増幅器1に供給して増幅し、可変利得増幅器1の出力信号は乗算器2および3に供給して後記する乗数と乗算し、乗算器2、3の出力信号はA/GC出力信号として送出する。乗算器2から出力されたA/GC出力信号は制御電圧生成回路4に供給してA/GC出力信号の信号レベルを検出し、検出した信号レベルに基づく制御電圧（第1の制御電圧）を生成し、可変利得増幅器1に利得制御信号として供給すると共に、第1の制御電圧に基づく値を乗数（以下、制御電圧に基づく値との記載を省略して単に乗数と記す）として乗算器2に供給して、乗算器2から出力されるA/GC出力電圧が一定レベルになるように制御する。

【0028】同様に、乗算器3から出力されたA/GC出力信号は制御電圧生成回路5に供給してA/GC出力信号の信号レベルを検出し、検出した信号レベルに基づく制御電圧（第2の制御電圧）を生成し、第1制御電圧および第2の制御電圧はスイッチ回路7を介してその一方を乗算器3に乗数として供給して、乗算器3から出力されるA/GC出力電圧が一定レベルになるように制御する。乗算器2から出力されるA/GC出力信号と乗算器3から出力されるA/GC出力信号とはスイッチ回路7と連動して切り換えられるスイッチ回路8を介して一方を選択して送出する。

【0029】制御電圧生成回路4は、乗算器2から出力されるA/GC出力信号を整流する整流回路41と、整流回路41の出力電圧を入力とする積分回路42と、積分回路42の出力電圧を基準電圧から減算する加算器43と、加算器43からの出力電圧を入力とする積分回路44とからなり、積分回路44の出力電圧すなわち制御電圧生成回路4から出力される第1の制御電圧は可変利得増幅器1に利得制御電圧として供給して可変利得増幅器1の利得を制御すると共に、乗算器2に乗数として供給し、可変利得増幅器1の出力信号と乗算する。

【0030】制御電圧生成回路5は、乗算器3から出力されるA/GC出力信号を整流する整流回路51と、整流

10

20

30

40

50

回路51の出力電圧を入力とする積分回路52と、積分回路52の出力電圧を基準電圧から減算する加算器53と、加算器53からの出力電圧を入力とする積分回路54とからなり、積分回路54の出力電圧すなわち制御電圧生成回路5から出力される第2の制御電圧と第1の制御電圧とはスイッチ回路8と連動して切り換えられるスイッチ回路7を介して一方を選択して乗算器3に乗数として供給し、可変利得増幅器1の出力信号と乗算する。

【0031】コピー制御回路9は、積分回路42の積分コンデンサ421の電圧を入力とするバッファ増幅器91と、積分回路44の積分コンデンサ441の電圧を入力とするバッファ増幅器92と、バッファ増幅器91を介して積分コンデンサ421の電荷を積分回路52の積分コンデンサ521に転送してコピーさせるスイッチ回路93と、バッファ増幅器92を介して積分コンデンサ441の電荷を積分コンデンサ521に転送してコピーさせるスイッチ回路94とからなり、連動するスイッチ回路93および94をオン状態にすることにより電荷を転送させる。

【0032】切換制御回路6は、加算器43の出力電圧すなわち切換制御回路6の入力信号のレベルの絶対値が予め定められた閾値未満のときは、スイッチ回路7を制御電圧生成回路4の出力側に切り換えて乗算器3に第1の制御電圧に基づく値を乗数としてを供給すると共に、スイッチ回路8を乗算器2の出力側に切り換えて乗算器2から出力されるAGC出力信号を選択して送出させる。以下、切換制御回路6による切り換えのための閾値を説明の簡単化のために、絶対値の大小に代わって、零を含む正、負として説明する。

【0033】またさらに、切換制御回路6は、加算器43の出力電圧を入力信号とし該入力信号レベルが負のときは、スイッチ回路7を制御電圧生成回路5の出力側に切り換えて乗算器3に第2の制御電圧に基づく値を乗数として供給すると共に、スイッチ回路8を乗算器3の出力側に切り換えて乗算器3から出力されるAGC出力信号を選択して送出させる。また、制御回路6は乗算器3への乗数を第1の制御電圧に基づく値から第2の制御電圧に基づく値にスイッチ回路7により切り換えるときから予め定めた期間のみ、スイッチ回路93および94をオン状態に制御して積分コンデンサ421、441の電荷をそれぞれ積分コンデンサ521、541へ転送してコピーさせる。

【0034】ここで、制御信号生成回路4の時定数はAGC出力信号波形に振動を生じない時定数であって、制御信号生成回路5の時定数より大きい時定数に設定してある。また、制御電圧生成回路5の時定数は制御信号生成回路4の時定数より小さい時定数であって、乗算器3から最適な応答信号波形が得られる時定数に設定してある。

【0035】上記のように構成された実施の第1形態に

において、自動利得制御装置に入力信号が供給されていないときは、加算器43の出力電圧レベルは増加させられて正であるため切り換え基準値としての閾値未満となつて、切換制御回路6の制御のもとにスイッチ回路7および8は図1に示す状態になっている。

【0036】この状態において図2(a)に示すバースト信号がAGC回路に入力信号として供給されると、このバースト信号が可変利得増幅器1によって増幅され、可変利得増幅器1からの増幅出力が乗算器2および乗算器3によって実質的に増幅される。この場合に、可変利得増幅器1は第1の制御電圧によって利得が制御されており、乗算器2は第1の制御電圧に基づく値が乗数とされ、乗算器3は第1の制御電圧に基づく値が乗数とされており、乗算器2から出力されるAGC出力信号は制御電圧生成回路4に供給され、乗算器3から出力されるAGC出力信号は制御電圧生成回路5に供給されて、第1および第2の制御電圧がそれぞれ生成される。

【0037】しかし、制御電圧生成回路4の時定数が大きいので、第1の制御電圧による制御では追従が不十分であって、乗算器2からの出力信号のレベルは図2

(b)に示すように希望範囲電圧レベルより大きくなる部分が生ずる。ここで希望範囲電圧レベルを正負で示してあるのは、整流回路41によって整流される前のAGC出力信号に対応して示してあるためである。希望範囲電圧レベルは加算器43および53に供給される基準電圧に対応する電圧であってAGC出力電圧レベルとして希望している範囲を示す。

【0038】一方、制御電圧生成回路5の時定数は制御電圧生成回路4の時定数よりも小さく設定されているために、追従は十分高速であって、第2の制御電圧に基づく値を乗数とした乗算器3からの出力信号がAGC出力信号として出力される。ここで、制御電圧生成回路5の時定数は前記のように小さく設定されているため乗算器3から出力されるAGC出力信号は図2(c)に示すごとくであり、歪みは少ない。

【0039】しかるに、乗算器2から出力されるAGC出力信号は整流回路41において整流され、整流回路41からの出力電圧は積分回路42において積分され、積分回路42からの出力電圧は加算器43において基準電圧レベルから減算される。乗算器2から出力される出力信号の信号レベルが増加させられると、積分回路42の出力電圧レベルは増加させられ、加算器43の出力電圧レベルは図2(e)に示すように順次低下させられて負となり、切り換え基準値としての閾値以上となる。この結果、切換制御回路6の制御のもとにスイッチ回路7および8は図1に示す状態から切り換えられて、第2の制御電圧に基づく値の乗数が供給された乗算器3には、乗算器3からの出力信号がAGC出力信号として送出される。したがって、AGC出力信号レベルは希望範囲電圧レベルを超えることはない。

【0040】一方、この間においても、可変利得増幅器1、乗算器2および制御電圧生成回路4により形成されている制御ループは継続して作動しており、制御電圧生成回路4から出力される第1の制御電圧に基づく値を乗数として受けた乗算器2から出力される出力信号レベルは時間の経過と共に順次低下し、希望範囲電圧レベルにまで低下していく。この結果、積分回路42の出力電圧レベルは減少させられ、加算器43の出力電圧レベルは切り換え基準値としての閾値未満（の零）になって、切

換制御回路6の制御のもとにスイッチ回路7および8は図1の状態に切り換えられ、乗算器3からの出力信号に代わって乗算器2からの出力信号が選択され、乗算器3の乗数は第2の制御電圧に基づく値から第1の制御電圧に基づく値に切り換えられる。

【0041】すなわち、制御電圧生成回路4による利得制御は、自動利得制御装置の入力信号がないときにおいて可変利得増幅器1および乗算器2の利得を高く制御していた状態から、自動利得制御装置に入力信号が供給されて利得を下げて乗算器2からのAGC出力信号のレベルを希望範囲電圧レベルにまで低下させるのに時間がかかる。このため、この期間において乗算器2の出力信号をAGC出力信号としてい

ると、AGC出力信号が希望範囲電圧レベルを超えている期間が長くなって大振幅の出力信号が徐々に減衰していく歪んだ波形の出力信号となる。

【0042】しかし、上記したようにAGC出力信号が希望範囲電圧レベルを超えている期間t1、第2の制御電圧に基づく値を乗数として受けた乗算器3の出力信号がAGC出力信号として送出されるため、AGC出力信号レベルが希望範囲電圧レベルを超えることはなく、期間t1を超えるとバースト信号が継続して供給されている残りの期間t2の間、乗算器2の出力信号がAGC出力信号として送出されることになる。この期間t2においては乗算器2の出力は希望範囲電圧レベルを超えることはなく、AGC出力信号は図2（d）に示すようになる。

【0043】次に、自動利得制御装置の入力信号が消滅したときには、積分回路42からの出力電圧レベルは低下し、加算器43からの出力電圧レベルは順次増加して正になる。このため、切換制御回路6の制御のもとにス

イッチ回路7および8は図1に示す状態のままとなる。

【0044】この結果、上記したバースト信号が印加される前の状態に戻るようになって、次にバースト信号が印加されたときも、上記と同様に作用することになる。

【0045】また、バースト信号が無くなった後、速やかに利得を増加させることによってレベルの低い信号に追従する必要があるときには、切換制御回路6の切り換え基準値としての閾値を、加算器43からの出力電圧レベルの絶対値が予め定められた閾値以上のときに有効とするようにして、乗算器2から出力されるAGC出力信

号の信号レベルが増加して加算器43からの出力電圧レベルが閾値を超えたときに、第2の制御電圧を乗算器3への乗数とすると共に乗算器3から出力されるAGC出力信号をスイッチ回路8によって選択するようにして、乗算器2から出力されるAGC出力信号の信号レベルが増加または低下したときに切り換えが行われるようにもすることができる。

【0046】また、バースト信号が無くなった後、速やかに利得を増加させる必要があっても、AGC回路の入力信号がレベル大きくなったときに速やかに利得を下げて追従する必要がないときには、切換制御回路6の切換基準値としての閾値を加算器43からの出力信号レベルが零を除く正側になったときのみに有効とするようにして、乗算器2から出力されるAGC出力信号の信号レベルが低下して加算器43からの出力電圧レベルが切り換え基準値としての閾値を超えたときに、第2の制御電圧を乗算器3への乗数とすると共に、乗算器3から出力されるAGC出力信号をスイッチ回路8によって選択するようにして、乗算器2から出力されるAGC出力信号の信号レベルが低下したときのみ切り換えが行われるようにもすることもできる。

【0047】図2において、図2（e）は加算器43の出力電圧の波形を示し、図2（f）は加算器53の出力電圧の波形を示し、図2（g）は第1および第2の制御電圧が乗算器3へ乗数として供給される切り換えタイミングを示している。

【0048】上記において、可変利得増幅器1と乗算器2とによる利得と可変利得増幅器1と乗算器3とによる利得とが瞬時に切り換えられるため、制御電圧生成回路4から出力される第1の制御電圧と制御電圧生成回路5から出力される第2の制御電圧との切り換え時において、第1の制御電圧レベルと第2の制御電圧レベルとが僅かでも異なると、切り換え雑音が発生する。

【0049】しかるに、本発明にかかる自動利得制御回路の実施の第1形態によるときは、スイッチ回路7によって乗算器3への乗数として第1の制御電圧から第2の制御電圧への切り換え時に所定期間スイッチ回路93および94がオン状態にされて、コンデンサ421の電荷がコンデンサ521へコピーされ、コンデンサ441の電荷がコンデンサ541へコピーされる。したがって、切り換え時における第1の制御電圧レベルと第2制御電圧レベルとの差異は無く、切り換え雑音の発生は防止される。

【0050】次に本発明にかかる自動利得制御回路の実施の第2形態について説明する。図3は本発明にかかる自動利得制御回路の実施の第2形態を示すブロック図である。

【0051】本第2形態は前記した可変利得増幅器1を乗算器21で置換し、乗算器21の出力信号をフィルタ22に供給し、フィルタ22によって乗算器21の出力

10

20

30

40

50

をフィルタ処理し、フィルタ22を介して乗算器21から出力される信号を乗算器2および3に供給するように構成したものである。その他の構成は前記第1形態の構成と同一であり、同一部分には同一の符号を付して示し、重複する部分の説明は省略する。本第2形態においても、制御電圧生成回路4の時定数は制御電圧生成回路5の時定数を大きく設定してある。

【0052】本第2形態に示した自動利得制御回路の作用を図4に示す波形図に基づき説明する。本第2形態において、図4(a)に示すバースト信号が自動利得制御装置の入力信号として印加されたときにおいて、乗算器21からの出力は図4(b)に示すごとくなる。乗算器21からの出力信号はフィルタ22におけるフィルタリングによる遅延時間 t_0 の存在のために遅延時間 t_0 遅れて乗算器2および3に入力され、図2(b)および図2(c)に対応して、乗算器2から出力されるAGC出力信号および乗算器3から出力されるAGC出力信号は図4(c)および図4(d)に示すごとくなる。

【0053】また、加算器43の出力電圧レベルは図4(e)に示すごとくなって、バースト信号の印加の最初から切換制御回路6の制御のもとに第2の制御電圧に基づく値が乗数として供給された乗算器3から出力されるAGC出力信号がスイッチ回路8によって選択され、加算器43の出力電圧レベルが切り換え基準値としての閾値未満となったとき、すなわち入力されたバースト信号の後半部分において乗算器2から出力されるAGC出力信号がスイッチ回路8によって選択されて送出される。

【0054】図4(f)は加算器53の出力電圧レベルを示し、図4(g)は第1および第2の制御電圧が乗算器3へ乗数として供給される切り換えタイミングを示す。なお、乗算器21および乗算器2には常に第1の制御電圧が乗数として供給されている。本形態の場合においては、フィルタ22の持つ信号に対する遅延時間の存在にかかわらず、AGC出力信号を希望範囲電圧レベルに制御することができる。

【0055】次に、本発明にかかる自動利得制御回路の実施の第3形態について説明する。図5は本発明にかかる自動利得制御回路の実施の第3形態を示すブロック図であり、本形態は前記第2形態の乗算器21の後段からスイッチ回路8の前段までをデジタル的に処理する場合の形態である。

【0056】図5に示す本発明にかかる自動利得制御回路の実施の第3形態においては、AGC回路の入力信号を乗算器21に供給して乗数と乗算し、乗算器21の出力をA/D変換器23に供給してデジタル信号に変換する。A/D変換器23から出力されるデジタル信号はデジタル乗算器2Dおよび3Dに供給して乗数と乗算し、デジタル乗算器2Dの出力デジタル信号はデジタル制御信号生成回路4Dに供給して第1のデジタル制御信号を生成し、デジタル乗算器3Dの出力デジタル信号はデジ

タル制御信号生成回路5Dに供給して第2のデジタル制御信号を生成する。

【0057】第1のデジタル制御信号はデジタル乗算器2Dに乗数として供給すると共に、D/A変換器26に供給してアナログ信号に変換して乗数として乗算器21に供給する。第1のおよび第2のデジタル制御信号はスイッチ回路7に供給して一方を選択して乗数としてデジタル乗算器3Dに供給する。デジタル乗算器2Dおよび3Dの出力デジタル信号はスイッチ回路7と連動して切り換えられるスイッチ回路8によって一方を選択してD/A変換器25に供給し、アナログ信号に変換してAGC出力信号として送出する。

【0058】デジタル制御信号生成回路4Dは、図6に示すように、乗算器2Dの出力を絶対値化する絶対値化回路11と、絶対値化回路11の出力に係数を乗算する係数乗算器12と、係数乗算器12の出力が供給される加算器13と、加算器13の出力を入力とするシフトレジスタ14と、シフトレジスタ14の出力に係数を乗算し出力を加算器13に供給する係数乗算器15と、シフトレジスタ14の出力を基準値から減算する加算器16と、加算器16の出力に係数を乗算する係数乗算器17と、係数乗算器17の出力が供給される加算器18と、加算器の出力を置数し出力を加算器18に供給するシフトレジスタ19とからなり、絶対値化回路11は実質的に整流作用を行い整流回路41に対応し、係数乗算器12と加算器13とシフトレジスタ14と係数乗算器15とは係数乗算と積分作用を行い積分回路42に対応し、加算器16は加算器43に対応し、係数乗算器17と加算器18とシフトレジスタ19とは係数乗算と累算を行って積分作用を行い積分回路44に対応している。したがってデジタル制御信号生成回路4Dは制御電圧生成回路4に対応し、それと同一の作用を行う。

【0059】デジタル制御信号生成回路5Dはデジタル制御信号生成回路4Dと同様に構成され、制御電圧生成回路5に対応し、それと同一の作用を行う。ここで、制御電圧生成回路4および5の時定数に対応して、係数乗算器12、15および17の係数値を設定することによって設定される。

【0060】切換制御回路6Dは加算器16の出力を受けて、加算器16の出力が予め定めた所定値、すなわち閾値以上に達したときスイッチ回路7および8を図5に示す位置から切り換え、前記閾値未満となったときスイッチ回路7および8を図5に示す位置に切り換える。また、コピー制御手段9Dはスイッチ回路7および8を図5に示す位置から切り換えるときにシフトレジスタ14の置数値およびシフトレジスタ19の置数値をデジタル制御信号生成回路5Dの対応するシフトレジスタに転送することによって行う。

【0061】上記した第3形態によるときは第2形態の場合と同様の作用を行う。この場合に、乗算器21、A

10

20

30

40

50

／D変換器23、フィルタ24、乗算器2D、デジタル制御信号生成回路4DおよびD／A変器26からなるループにおいては、A／D変換器23のサンプリングによる時間遅延、フィルタ24における処理にかかる時間遅延、D／A変器26の時間遅延によってループ内の時間遅延が大きく、図4(a)のバースト信号の入力に対して、乗算器21の出力信号および乗算器2Dの出力信号の波形はそれぞれ図4(b)および図4(c)に示すごとくになる。しかしながら、乗算器3Dおよびデジタル制御信号生成回路5Dからなるループでは遅延要素は無く、乗算器3Dからの出力信号の波形は図4(d)に示すごとくになって、図4(e)に加算器16からの出力に基づく切り換えによって歪みのないAGC出力信号が得られることは第2形態の場合と同様である。

【0062】次に、本発明にかかる自動利得制御回路の実施の第4形態について説明する。図7は本発明にかかる自動利得制御回路の実施の第4形態を示すブロック図であり、本形態は前記第3形態のA／D変換器23の後段からスイッチ回路8までをデジタル信号処理回路によって処理する場合の形態である。

【0063】図7に示す本発明にかかる自動利得制御回路の実施の第4形態においては、自動利得制御回路の入力信号を乗算器21に供給して乗数と乗算し、乗算器21の出力をA／D変換器23に供給してデジタル信号に変換する。A／D変換器23から出力されるデジタル信号はデジタル信号処理回路28に供給して信号処理し、信号処理で得たデジタルAGC出力をD／A変換器25に供給してアナログ信号に変換して送出し、信号処理によって得た乗数をD／A変換器26に供給してアナログ信号の乗数に変換して乗算器21に供給して入力信号と乗算させるように構成してある。

【0064】本形態においては、低歪み化を指示する低歪み化指示スイッチ29が設けてあって、その指示に基づいて低歪み化指示がなされているときは低歪み化を行い、低歪み化処理を行わないときのデジタル信号処理回路28の負荷を低減させるようにしてある。低歪み化を指示する必要のないときはFM受信機に適用したような場合である。AGC回路によって生ずる歪みは振幅歪みであって、振幅情報より周波数情報および位相情報が重視されるFM受信機等においては低歪み化を必要としないのである。

【0065】本第4形態の作用を図8に示すフローチャートに基づいて説明する。デジタル信号処理回路28の作用において図5および図6の構成における符号と同一符号を用いて対応関係を示す。乗算器21の出力Xをフィルタ処理した値はYとして一旦記憶され(ステップS1)、値Yと第1の制御信号データ(AGCV1)とが乗算され、乗算値をM2として一旦記憶される(ステップS2)。ステップS2の演算は乗算器2Dの作用に対応している。ステップS2に続いて乗算値M2の絶対値

が演算されて、値AM2として一旦記憶される(ステップS3)。ステップS3の演算は絶対値化回路11の演算に対応している。

【0066】ステップS3に続いて値AM2に係数Aが乗算され、第1シフトレジスタの置数値(REG1)に係数Bが乗算され、両乗算結果が加算されて、値REG1として一旦記憶される(ステップS4)。ステップS1からステップS4までの演算は絶対値化回路11、係数乗算器12、加算器13、シフトレジスタ14および係数加算器15による演算に対応している。ステップS4に続いて基準値(REF)から値REG1が減算され、減算値が値R1として記憶される(ステップS5)。ステップS5の演算は加算器16における演算に対応している。

【0067】ステップS5に続いて値R1と係数C1とが乗算され、乗算結果に第2シフトレジスタの置数値(AGCV1)が加算されて、加算結果が値AGCV1として一旦記憶され(ステップS6)、ステップS6に続いて値AGCV1がD／A変換器26へ供給されてアナログ信号に変換され、乗数として乗算器21に供給される(ステップS7)。ステップS6の演算は係数乗算器17、加算器18およびシフトレジスタ19による演算に対応している。ステップS7に続いて、低歪み指示スイッチ29によって低歪み指示がなされているか否かがチェックされ(ステップS8)、低歪み指示がなされていないと判別されたときはステップS8に続いて、値M2がD／A変換器25に供給されてアナログAGC出力信号として送出される(ステップS9)。Sステップ8からステップS9が実行されているときは、乗算器3Dの出力への切り換えは行われない。

【0068】ステップS8において低歪み指示がなされていると判別されたときはステップS8に続いて、値R1が正か否かがチェックされる(ステップS10)。ステップS10において正と判別されたときは、ステップS10に続いて値AGCV1が値AGCV2とされて一旦記憶される(ステップS11)。ステップS11に続いて値REFが値REG2とされて一旦記憶され(ステップS12)、ついで値M2がD／A変換器25へ送出される(ステップS9)。ここで、ステップS11の演算は値AGCV1の値AGCV2への転送、コピーに対応し、ステップS12もREG2への転送、コピーに対応している。

【0069】ステップS10において正でないと判別されたときは、ステップS10に続いて値Yと第2の制御信号データ(AGCV2)とが乗算され、乗算値がM3として一旦記憶される(ステップS13)。ステップS13の演算は乗算器3Dの作用に対応している。ステップS13に続いて乗算値M3の絶対値が演算されて値AM3として一旦記憶される(ステップS14)。ステップS14からステップS17までの演算はデジタル制御

19

電圧生成回路5 Dにおける演算に対応している。

【0070】ステップS14に続いて値AM3に係数Aが乗算され、値(REG2)に係数Bが乗算され、両乗算結果が加算されて値REG2として一旦記憶される(ステップS15)。ステップS15に続いて基準値(REF)から値REG2が減算され、減算値が値R2として一旦記憶される(ステップS16)。ステップS16に続いて値R2と係数C2とが乗算され、乗算結果に値(AGCV2)が加算され加算値が値AGCV2として一旦記憶される(ステップS17)。

【0071】ステップS17に続いて、値AGCV2が値AGCV1より大きいかがチェックされ(ステップS18)、ステップS18において値AGCV2が値AGCV1より大きいと判別されたときは、ステップS18に続いて値AGCV1は値AGCV2として一旦記憶される(ステップS19)。ステップS19に続いて値M3がD/A変換器25に供給されてアナログ信号に変換され、AGC出力信号として送出される(ステップS20)。ステップS18において値AGCV2が値AGCV1より大きいと判別されないときは、ステップS18に続いてステップS20が実行される。

【0072】ステップS8のステップを除去した場合におけるデジタル信号処理回路28の上記の作用は形態3の場合の作用と同一である。

【0073】次に、本発明にかかる自動利得制御回路の実施の第4形態の変形例について説明する。本第4形態の変形例においては、図9のフローチャートに示すように、図8のフローチャートにおいてステップS8～ステップS12を省略して、ステップS7からステップS13を実行するようにしたものである。このようにすることによって、本変形例においては乗算器3 Dへの乗数をデジタル制御信号生成回路5 Dからの出力に固定した処理とした場合である。

【0074】

【発明の効果】以上説明したように本発明にかかる自動利得制御装置によれば、制御電圧対利得特性が非線形であっても、またループ内に信号伝搬を遅延させる要素があっても歪みが少ない出力信号を得ることができる。

【図面の簡単な説明】

【図1】本発明にかかる自動利得制御装置の実施の第1形態を示すブロック図である。

20

【図2】本発明にかかる自動利得制御装置の実施の第1形態の作用の説明に供する波形図である。

【図3】本発明にかかる自動利得制御装置の実施の第2形態を示すブロック図である。

【図4】本発明にかかる自動利得制御装置の実施の第2形態の作用の説明に供する波形図である。

【図5】本発明にかかる自動利得制御装置の実施の第3形態を示すブロック図である。

【図6】本発明にかかる自動利得制御装置の実施の第3形態におけるデジタル制御信号生成回路のブロック図である。

【図7】本発明にかかる自動利得制御装置の実施の第4形態を示すブロック図である。

【図8】本発明にかかる自動利得制御装置の実施の第4形態の作用の説明に供するフローチャートである。

【図9】本発明にかかる自動利得制御装置の実施の第4形態の変形例における作用の説明に供するフローチャートである。

【図10】従来の第1の自動利得制御装置の構成を示すブロック図である。

【図11】従来の第2の自動利得制御装置の構成を示すブロック図である。

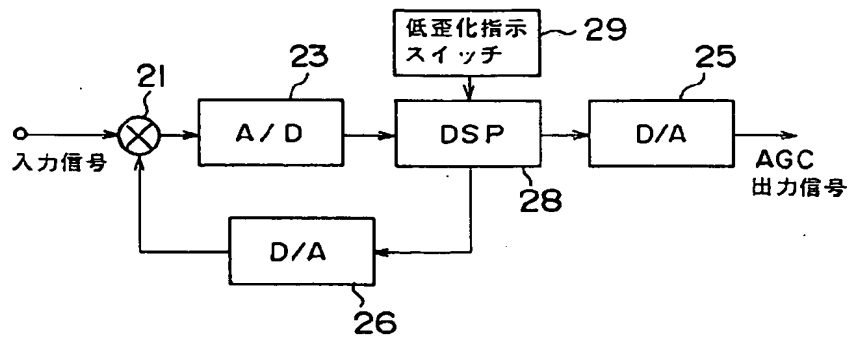
【図12】図10に示した従来の自動利得制御装置の作用の説明に供する波形図である。

【図13】図11に示した従来の自動利得制御装置の作用の説明に供する波形図である。

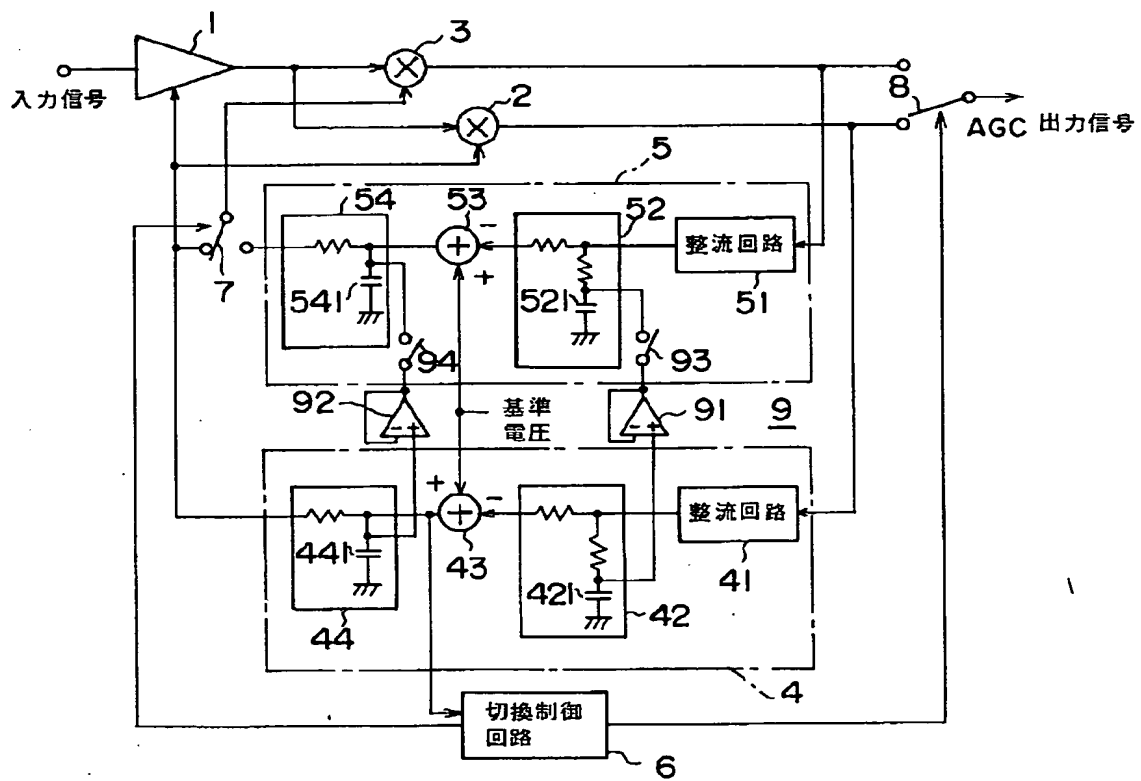
【符号の説明】

- 1 可変利得増幅器
- 2、3および21 乗算器
- 4および5 制御電圧生成回路
- 4、8および16 スイッチ
- 6および6 D 切換制御回路
- 7および8 スイッチ回路
- 9 コピー制御回路
- 22および24 フィルタ
- 2 Dおよび3 D デジタル乗算器
- 4 Dおよび5 D デジタル制御信号生成回路
- 23 A/D変換器
- 25および26 D/A変換器
- 28 デジタル信号処理回路
- 29 低歪化指示スイッチ

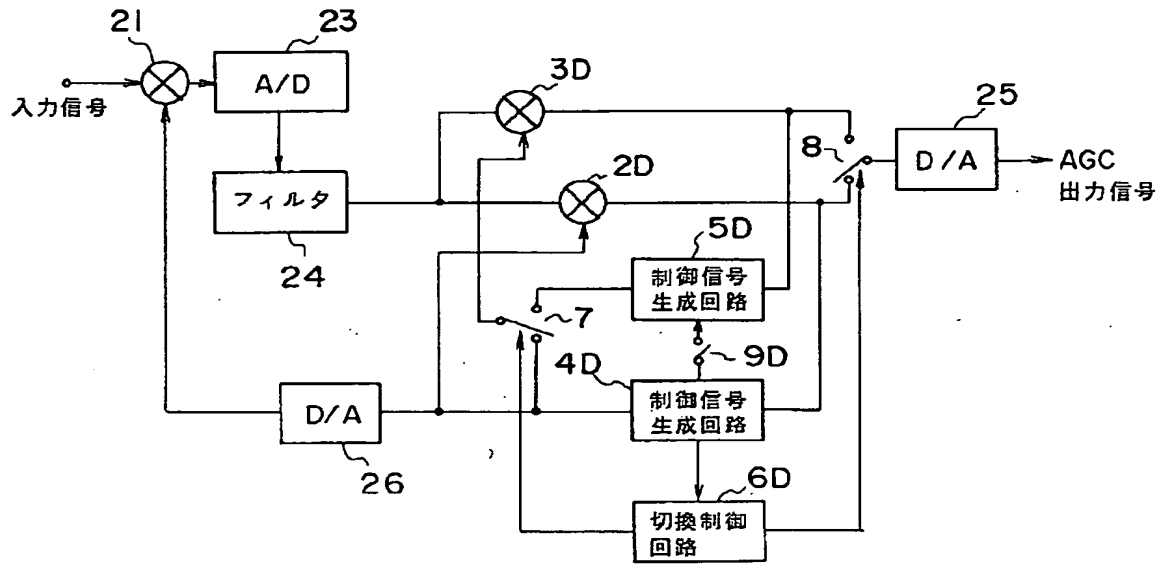
【図 7】



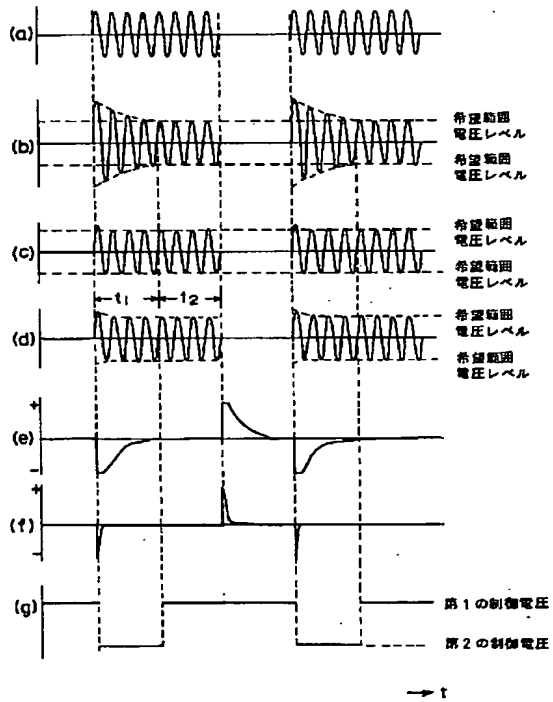
【図 1】



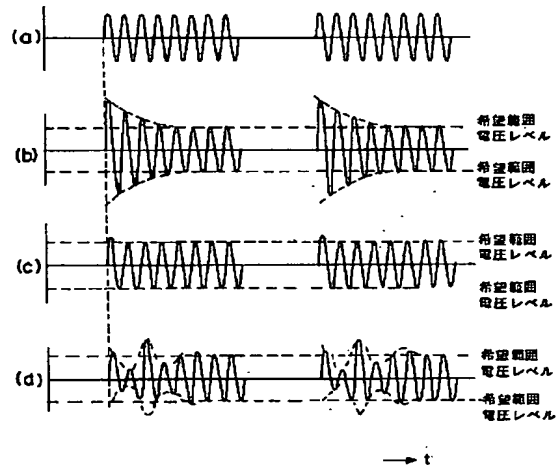
【図5】



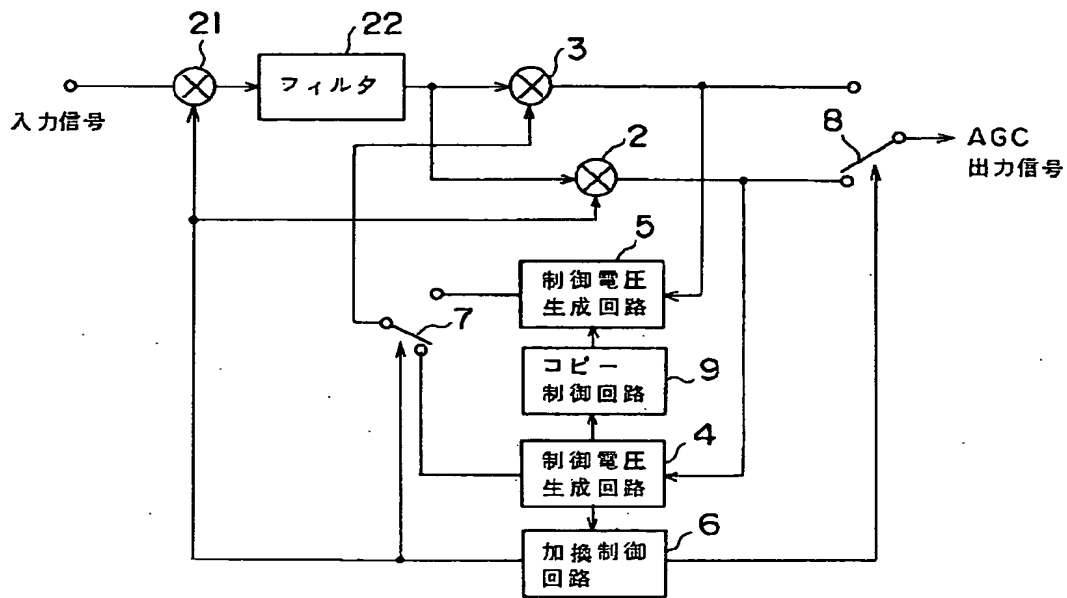
【図2】



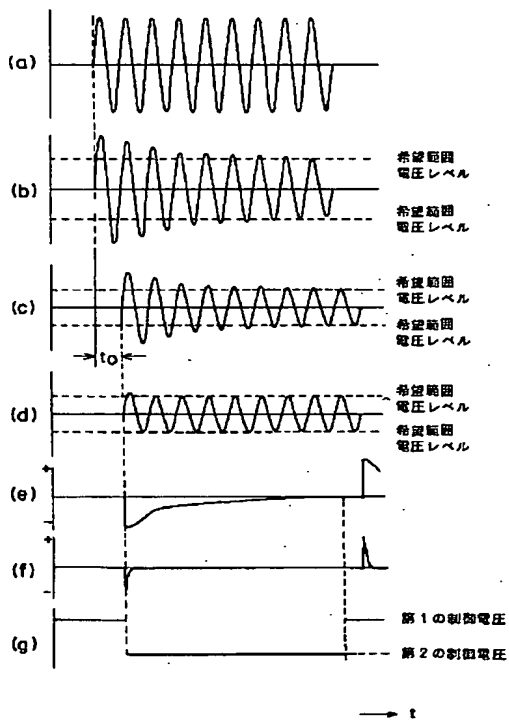
【図12】



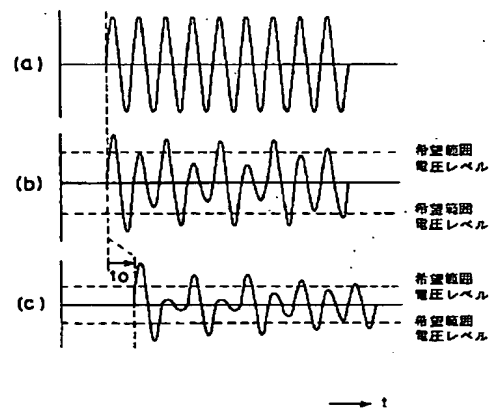
【図3】



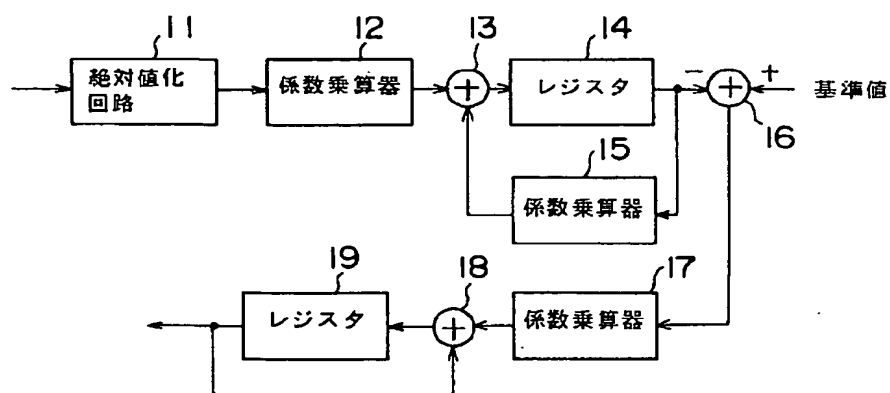
【図4】



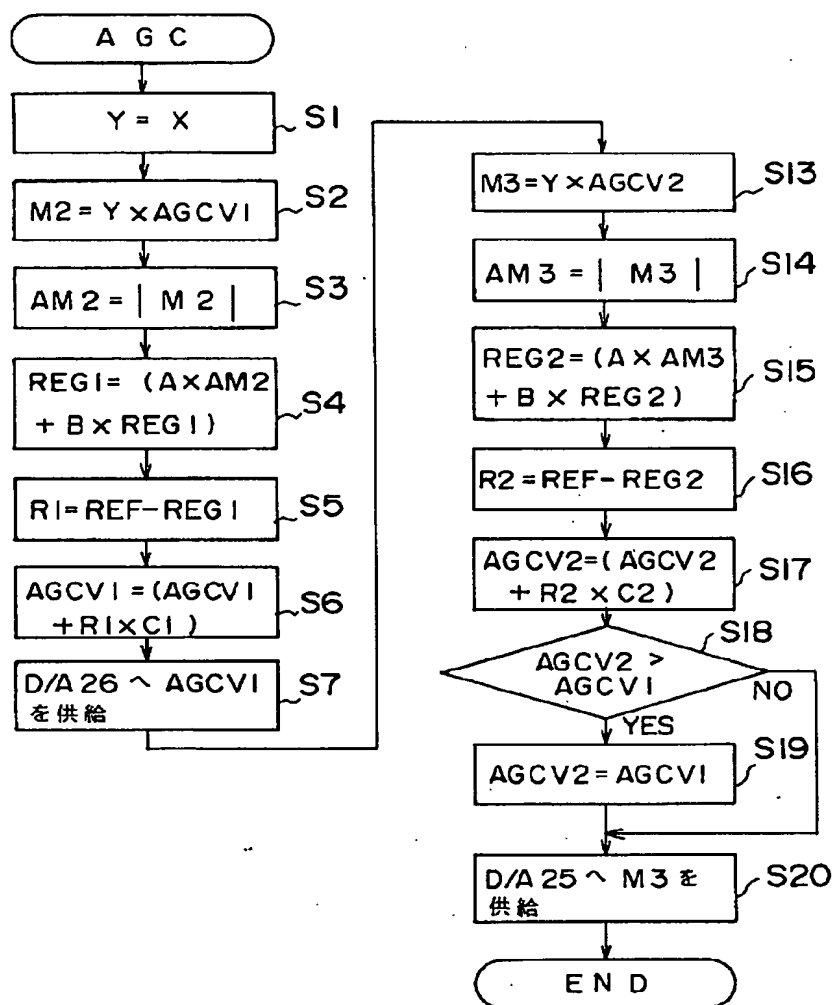
【図13】



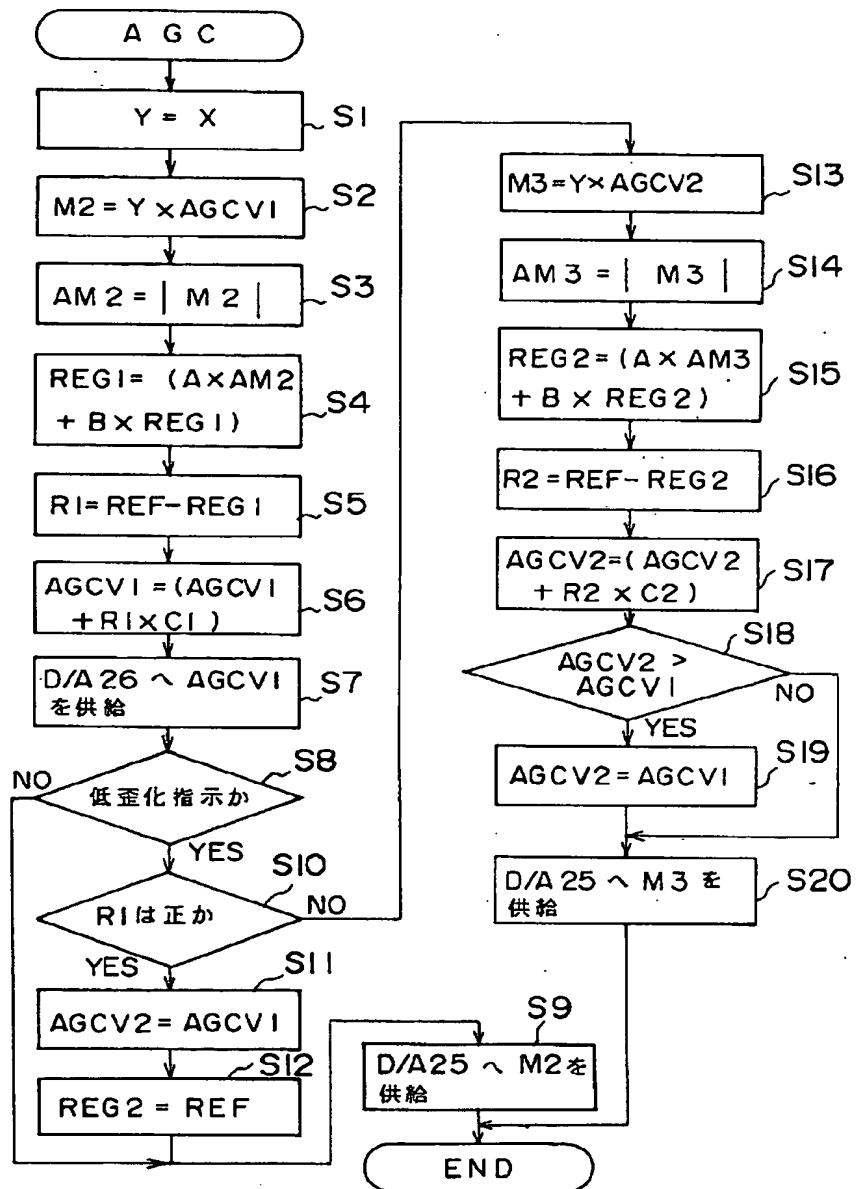
【図 6】



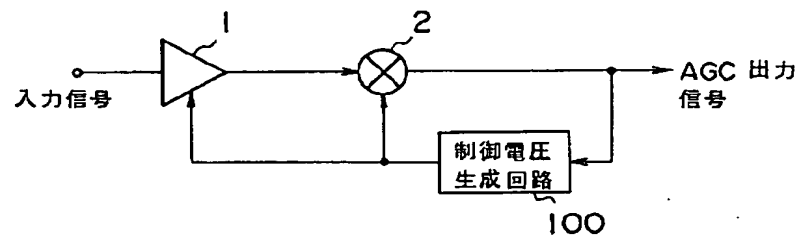
【図 9】



【図8】



【図 10】



【図 11】

